

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11122102
 PUBLICATION DATE : 30-04-99

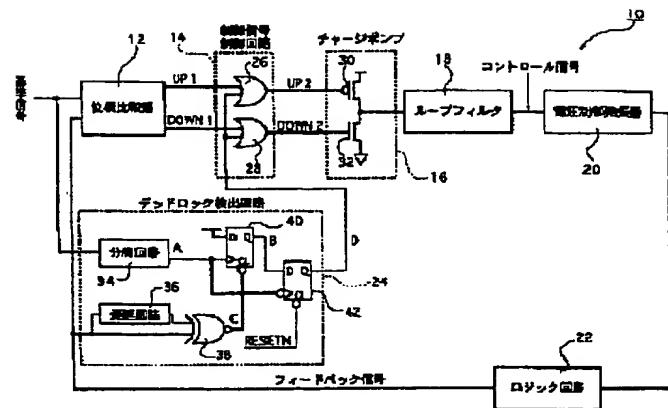
APPLICATION DATE : 14-10-97
 APPLICATION NUMBER : 09280218

APPLICANT : KAWASAKI STEEL CORP;

INVENTOR : TAKADA MASATOSHI;

INT.CL. : H03L 7/12

TITLE : PLL CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To make automatic recovery to a normal lock state even if a deadlock state is entered by detecting the deadlock state being entered and controlling control signals so that the voltage level of a control signal drops.

SOLUTION: A feedback signal is inputted from a logic circuit 22 to a phase comparator 12 and a deadlock detecting circuit 24. The detecting circuit 24 considers that the PLL circuit 10 enters a deadlock state and outputs a high- level detection signal if the feedback signal has transition and no clear signal is outputted from the rise to the fall of a frequency division signal as a reference signal. A control signal control circuit 14 controls control signals UP1 and DOWN1 according to the detection signal outputted from the detecting circuit 24 so that the control signal outputted from the detecting circuit 24 drops in voltage level and outputs control signals UP2 and DOWN2 for controlling a charge pump 16.

COPYRIGHT: (C)1999,JPO

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-122102
 (43)Date of publication of application : 30.04.1999

(51)Int.CI.

H03L 7/12

(21)Application number : 09-280218
 (22)Date of filing : 14.10.1997

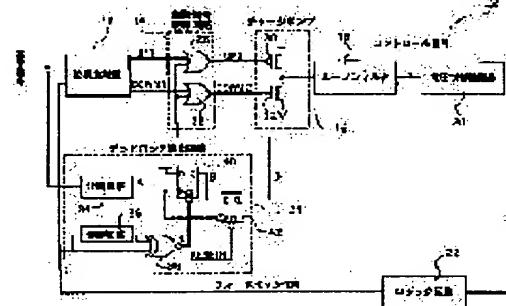
(71)Applicant : KAWASAKI STEEL CORP
 (72)Inventor : TAKADA MASATOSHI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To make automatic recovery to a normal lock state even if a deadlock state is entered by detecting the deadlock state being entered and controlling control signals so that the voltage level of a control signal drops.

SOLUTION: A feedback signal is inputted from a logic circuit 22 to a phase comparator 12 and a deadlock detecting circuit 24. The detecting circuit 24 considers that the PLL circuit 10 enters a deadlock state and outputs a high- level detection signal if the feedback signal has transition and no clear signal is outputted from the rise to the fall of a frequency division signal as a reference signal. A control signal control circuit 14 controls control signals UP1 and DOWN1 according to the detection signal outputted from the detecting circuit 24 so that the control signal outputted from the detecting circuit 24 drops in voltage level and outputs control signals UP2 and DOWN2 for controlling a charge pump 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-122102

(43) 公開日 平成11年(1999)4月30日

(51) Int.Cl.^a

識別記号

H 03 L 7/12

F I

H 03 L 7/12

Z

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平9-280218

(22) 出願日 平成9年(1997)10月14日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 ▲高▼田 昌利

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

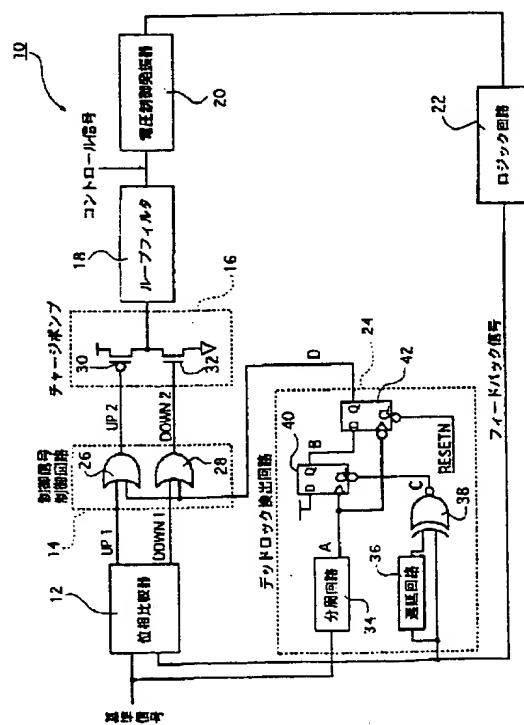
(74) 代理人 弁理士 渡辺 望穂 (外1名)

(54) 【発明の名称】 P L L回路

(57) 【要約】

【課題】 デッドロック状態に陥った場合であっても、自動的に正常なロック状態に復帰させることができるPLL回路を提供すること。

【解決手段】 PLL回路がデッドロック状態に陥ったことを検出し、電圧制御発振器の出力信号の発振周波数を制御するコントロール信号の電圧レベルが低下するように、位相比較器から出力される制御信号を制御することにより、上記課題を解決する。



【特許請求の範囲】

【請求項1】基準信号とフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、前記制御信号に応じて、前記基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力するチャージポンプと、前記誤差信号のパルス幅に応じた電圧レベルを有するコントロール信号を出力するループフィルタと、前記コントロール信号の電圧レベルに応じた発振周波数の出力信号を出力する電圧制御発振器と、この電圧制御発振器の出力信号に基づいて動作する前記フィードバック信号を出力するロジック回路と、デッドロック状態に陥ったことを検出して検出信号を出力するデッドロック検出回路と、前記検出信号に応じて、前記コントロール信号の電圧レベルが低下するように前記制御信号を制御する制御信号制御回路とを有することを特徴とするPLL回路。

【請求項2】前記デッドロック検出回路は、前記基準信号もしくはこの基準信号を分周した分周信号によってセットされ、前記フィードバック信号の遷移を検出して出力されるクリア信号によってリセットされる信号を前記検出信号として出力することを特徴とする請求項1に記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基準信号に位相同期された出力信号を発生するPLL回路(Phase-Locked Loop:位相同期ループ)に関するものである。

【0002】

【従来の技術】図3は、従来のPLL回路の一例の概念図である。図示例のPLL回路44は、基準信号およびフィードバック信号が入力され、制御信号UP, DOWNを出力する位相比較器12、制御信号UP, DOWNが入力され、誤差信号を出力するチャージポンプ16、誤差信号が入力され、コントロール信号を出力するループフィルタ18、コントロール信号が入力され、出力信号を出力する電圧制御発振器20、および、電圧制御発振器20の出力信号が入力され、フィードバック信号を出力するロジック回路22を有する。

【0003】ここで、チャージポンプ16は、P型MOSトランジスタ(以下、PMOSという)30およびN型MOSトランジスタ(以下、NMOSという)32を有し、そのゲートには、各々位相比較器12から出力される制御信号UP, DOWNが入力されている。また、PMOS30およびNMOS32のソースは、各々電源およびグランドに接続され、そのドレインは短絡されて、このチャージポンプ16の出力となる誤差信号とされている。

【0004】このPLL回路44においては、位相比較器12によって、基準信号とフィードバック信号との間の位相差が検出され、その検出結果である制御信号U

P, DOWNが出力される。チャージポンプ16からは、制御信号UP, DOWNに応じたパルス幅の誤差信号が出力され、この誤差信号は、ループフィルタ18によってアナログ信号に変換され、誤差信号に応じた電圧レベルを有するコントロール信号が出力される。

【0005】例えば、基準信号に対してフィードバック信号の位相の方が遅いときには、フィードバック信号の位相を早くするために、コントロール信号の電圧レベルが高くされ、逆に、早いときには電圧レベルが低くされる。電圧制御発振器20の出力信号は、コントロール信号の電圧レベルに応じて発振周波数が変更され、これに応じて、ロジック回路22から出力されるフィードバック信号の発振周波数も変更される。

【0006】そして、以後同様にして、基準信号と発振周波数の変更されたフィードバック信号との間の位相差を繰り返し検出することにより、基準信号およびフィードバック信号の周波数および位相が同期(ロック)される。このように、PLL回路44においては、コントロール信号の電圧レベルにより、フィードバック信号の周波数および位相を制御して、基準信号とフィードバック信号の位相が同期された出力信号を得ている。

【0007】ところで、上記PLL回路44は、単体でIC化されるばかりでなく、例えば制御装置や処理装置、CPU等のような個別のICの中に搭載されてオンチップ化され、そのクロック制御等に用いられる場合もある。この場合、電圧変動や温度変動、プロセス変動等の様々な条件を考慮すると、使用される発振周波数を中心として、低い周波数から高い周波数まで動作できるよう、充分な余裕を持って電圧制御発振器20の設計を行う必要がある。

【0008】このように、電圧制御発振器20の発振周波数に充分な余裕を持って設計されたPLL回路44を搭載するICにおいては、ICを実際に動作させるときの実動作周波数よりも、非常に高い周波数まで電圧制御発振器20を発振させることができる。例えば、ワースト条件のときには、それほど高い周波数まで発振しないとしても、ティピカル条件、さらにはベスト条件のときには、電圧制御発振器20の最大発振周波数は非常に高い周波数となる。

【0009】ところで、ロジック回路22において、フィードバック信号の経路には、通常、論理ゲートやフリップフロップ等の回路素子が接続されているが、例えば電源投入時等のように、PLL回路44の動作が不安定な場合、コントロール信号の電圧レベルが上昇して電圧制御発振器20の出力信号の発振周波数が高くなると、フィードバック信号の経路上のいすれかの回路素子が、電圧制御発振器20の出力信号の発振周波数でトグルできなくなり、位相比較器12にフィードバック信号が入力されなくなる場合がある。

【0010】位相比較器12にフィードバック信号が入

力されなくなると、位相比較器12は、フィードバック信号が基準信号よりも遅れていると判断し、さらに電圧制御発振器20の発振周波数を高くするように制御信号UP, DOWNを出力する。こうして、コントロール信号の電圧レベルはさらに上昇され、ついには高い電圧レベルに固定される。ここで、フィードバック信号の経路が高い周波数で動作しない回路であった場合、フィードバック信号がトグルしなくなるというデッドロック状態に陥ることになる。

【0011】しかし、PLL回路10は一度デッドロック状態に陥ると、例えば電源をオフ状態にする等の初期化を行わなければ、正常なロック状態に復帰させることができず、安定したPLL回路システムを構成するのは難しかった。

【0012】従って、PLL回路44を搭載したICにおいて、デッドロック状態を未然に回避するためには、ICの実動作周波数よりも非常に高い周波数まで動作できるように、フィードバック信号の経路の動作上限周波数を考慮して設計を行わなければならない。特に、PLL回路44をクロック制御に用いている場合には、クロック信号の経路が実動作周波数よりも非常に高い周波数まで動作できるようにしなければならず、クロック信号の経路の負荷に対する制約が厳しくなる等、設計上の制約が多くなり、設計が非常に困難になるという問題点があった。

【0013】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく問題点をかえりみて、デッドロック状態に陥った場合であっても、自動的に正常なロック状態に復帰させることができるPLL回路を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明は、基準信号とフィードバック信号との間の位相差を検出して制御信号を出力する位相比較器と、前記制御信号に応じて、前記基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力するチャージポンプと、前記誤差信号のパルス幅に応じた電圧レベルを有するコントロール信号を出力するループフィルタと、前記コントロール信号の電圧レベルに応じた発振周波数の出力信号を出力する電圧制御発振器と、この電圧制御発振器の出力信号に基づいて動作する前記フィードバック信号を出力するロジック回路と、デッドロック状態に陥ったことを検出して検出信号を出力するデッドロック検出回路と、前記検出信号に応じて、前記コントロール信号の電圧レベルが低下するよう前記制御信号を制御する制御信号制御回路とを有することを特徴とするPLL回路を提供するものである。

【0015】ここで、前記デッドロック検出回路は、前記基準信号もしくはこの基準信号を分周した分周信号に

よってセットされ、前記フィードバック信号の遷移を検出して出力されるクリア信号によってリセットされる信号を前記検出信号として出力するのが好ましい。

【0016】

【発明の実施の形態】以下に、添付の図面に示す好適実施例に基づいて、本発明のPLL回路を詳細に説明する。

【0017】図1は、本発明のPLL回路の一実施例の概念図である。本発明のPLL回路10は、デッドロック状態に陥った場合であっても、これを自動的に正常なロック状態に復帰させて、基準信号に位同期された出力信号を発生するもので、基本的に、位相比較器12、制御信号制御回路14、チャージポンプ16、ループフィルタ18、電圧制御発振器20、ロジック回路22およびデッドロック検出回路24を有する。

【0018】図示例のPLL回路10において、位相比較器12には、PLL回路10の外部から供給される所定周波数の基準信号、および、ロジック回路22から出力される所定周波数のフィードバック信号が入力される。位相比較器12は、基準信号とフィードバック信号との間の位相差を検出し、その位相比較結果である制御信号UP1, DOWN1を出力する。

【0019】制御信号UP1, DOWN1は、デッドロック検出回路24から出力される検出信号とともに制御信号制御回路14に入力される。制御信号制御回路14は、PLL回路10がデッドロック状態に陥った場合、検出信号に応じて、ループフィルタ18から出力されるコントロール信号の電圧レベルが低下するよう制御信号UP1, DOWN1を制御し、チャージポンプ16を制御する制御信号UP2, DOWN2を出力する。

【0020】図示例において、制御信号制御回路14は、2つのNORゲート26, 28を有する。NORゲート26, 28の一方の入力端子には、各々制御信号UP1, DOWN1が入力され、その他方の入力端子には検出信号が共通に入力され、その各々の出力信号は、この制御信号制御回路14の出力となる制御信号UP2, DOWN2とされている。

【0021】図示例の制御信号制御回路14においては、PLL回路10がデッドロック状態に陥っておらず、検出信号としてローレベルが入力された場合、制御信号UP1, DOWN1がそのままの状態で制御信号UP2, DOWN2として出力される。これに対し、デッドロック状態に陥り、検出信号としてハイレベルが入力された場合、制御信号UP2, DOWN2は、制御信号UP1, DOWN1の状態に係わらずいずれもハイレベルとされる。

【0022】なお、制御信号制御回路14は、図示例のものに限定されず、位相比較器12から出力される制御信号UP1, DOWN1の極性に応じて、例えばANDゲートを用いる等、デッドロック検出回路24によりP

PL回路10がデッドロック状態に陥ったことが検出された場合に、コントロール信号の電圧レベルを低下するように、チャージポンプ16を制御する制御信号UP2, DOWN2を出力することができるものであればよい。

【0023】続いて、制御信号UP2, DOWN2はチャージポンプ16に入力される。チャージポンプ16は、制御信号UP2, DOWN2に応じて、基準信号とフィードバック信号との間の位相差に応じたパルス幅を有する誤差信号を出力する。図示例のチャージポンプ16は、P型MOSトランジスタ（以下、PMOSという）30、および、N型MOSトランジスタ（以下、NMOSという）32を有し、そのソースは、各々電源およびグランドに接続され、そのゲートには、各々制御信号UP2, DOWN2が入力され、そのドレインは短絡されて、このチャージポンプ16の出力となる誤差信号とされている。

【0024】続いて、チャージポンプ16から出力される誤差信号はループフィルタ18に入力される。ループフィルタ18は、誤差信号をアナログ信号に変換し、誤差信号に応じた電圧レベルを有するコントロール信号を出力する。ループフィルタ18から出力されるコントロール信号は電圧制御発振器20に入力される。電圧制御発振器20は、コントロール信号の電圧レベルに応じた発振周波数の出力信号を出力する。

【0025】電圧制御発振器20の出力信号はロジック回路22に入力される。ロジック回路22は、電圧制御発振器20の出力信号に基づいて動作する内部回路を概念的に示すものである。ロジック回路22からは、例えばバッファにより電圧制御発振器20の出力信号をバッファリングする、あるいは、分周回路等によって所定の周波数に分周し、電圧制御発振器20の出力信号に基づいて動作するフィードバック信号が出力される。

【0026】フィードバック信号は、位相比較器12とともに、デッドロック検出回路24に入力される。デッドロック検出回路24には、基準信号とともに、このPLL回路10の外部から供給されるリセット信号RESETNも入力される。デッドロック検出回路24は、このPLL回路10がデッドロック状態に陥っているかどうかを検出し、その検出結果である検出信号を出力する。

【0027】デッドロック検出回路24は、図示例においては、分周回路34、遅延回路36、ENORゲート38および2つのフリップフロップ40, 42を有する。分周回路34には基準信号が入力され、分周回路34から出力される分周信号は、2つのフリップフロップ40, 42のクロック入力端子に入力されている。遅延回路36にはフィードバック信号が入力され、その出力信号は、ENORゲート38の一方の入力端子に入力されている。

【0028】また、ENORゲート38の他方の入力端子にはフィードバック信号が入力され、その出力信号であるクリア信号は、フリップフロップ40のクリア入力端子に入力されている。フリップフロップ40のデータ入力端子は電源に接続され、その出力信号は、フリップフロップ42のデータ入力端子に入力されている。また、フリップフロップ42のクリア入力端子には、検出信号を初期化するリセット信号RESETNが入力され、その出力信号は検出信号とされている。

【0029】デッドロック検出回路24において、分周回路34は、基準信号を分周して所定周波数の分周信号を出力する。遅延回路36およびENORゲート38は、フィードバック信号の遷移を検出する。すなわち、フィードバック信号は、遅延回路36によって所定時間遅延され、ENORゲート38からは、フィードバック信号の立ち上がりおよび立ち下がりで、遅延回路36の遅延時間に相当するパルス幅を有するローレベルのクリア信号が出力される。

【0030】また、フリップフロップ40は、分周回路34から出力される分周信号の立ち上がりでハイレベルにセットされ、ENORゲート38から出力されるクリア信号のローレベルによってローレベルにリセットされる。フリップフロップ42は、リセット信号RESETNのローレベルによってローレベルに初期化された後、分周信号の立ち下がりでフリップフロップ40の出力信号を保持し、これを検出信号として出力する。

【0031】上述するように、フリップフロップ40は、分周信号の立ち上がりでハイレベルにセットされ、これが分周信号の立ち下がりでフリップフロップ42に保持されて検出信号として出力される。すなわち、図示例のデッドロック検出回路24では、分周信号の立ち上がりから立ち下がりまでの間に、フィードバック信号が遷移してクリア信号が出力されない場合、PLL回路10がデッドロック状態に陥ったものと見なされ、ハイレベルの検出信号が出力される。

【0032】従って、基準信号の分周数は、基準信号およびフィードバック信号の発振周波数の関係から、デッドロック検出回路24が誤動作しない最適な分周数を算出するのが好ましい。なお、分周回路34は必ずしも必要なものではなく、基準信号およびフィードバック信号の発振周波数に応じて適宜設けるようにすればよい。また、デッドロック検出回路24は、図示例のものに限定されず、例えばマイコン等を用いて、基準信号およびフィードバック信号の遷移をモニターして、PLL回路10がデッドロック状態に陥ったことを検出するようにしてもよい。

【0033】本発明のPLL回路10は、基本的に以上のように構成される。次に、本発明のPLL回路10の動作について説明する。まず、PLL回路10が、デッドロック状態に陥ることなく、正常なロック状態となる

場合の動作について説明する。

【0034】PLL回路10においては、まず、リセット信号RESETNが所定時間ローレベルとされ、デッドロック検出回路24のフリップフロップ42の出力信号である検出信号がローレベルに初期化される。その後、リセット信号RESETNがハイレベルとされると、位相比較器12において、基準信号とフィードバック信号との間の位相差が検出され、その検出結果である制御信号UP1, DOWN1が出力される。

【0035】例えば、図示例の位相比較器12においては、基準信号の位相よりもフィードバック信号の位相の方が遅い場合、制御信号DOWN1がローレベルに保持されつつ、制御信号UP1が、両者の位相差に応じた所定時間ローレベルとされる。これに対して、基準信号の位相よりもフィードバック信号の位相の方が早い場合、制御信号UP1がハイレベルに保持されつつ、制御信号DOWN1が、両者の位相差に応じた所定時間ハイレベルとされる。

【0036】上述するように、デッドロック検出回路24から出力される検出信号はローレベルであるから、位相比較器12から出力される制御信号UP1, DOWN1は、そのままの状態で各々制御信号制御回路14のORゲート26, 28を経て、制御信号UP2, DOWN2としてチャージポンプ16に入力される。そして、チャージポンプ16からは、基準信号とフィードバック信号との間の位相差に応じたパルス幅を持つ誤差信号が出力される。

【0037】例えば、制御信号DOWN2がローレベルに保持されつつ、制御信号UP2がローレベルとされると、PMOS30はオン状態、かつ、NMOS32はオフ状態となり、誤差信号は、オン状態のPMOS30を介して、制御信号UP2のパルス幅に応じた所定の一定時間チャージアップされ、チャージポンプ16からは、基準信号とフィードバック信号との間の位相差に応じたパルス幅を持つハイレベルの誤差信号が出力される。

【0038】これとは逆に、制御信号UP2がハイレベルに保持されつつ、制御信号DOWN2がハイレベルとされると、PMOS30はオフ状態、かつ、NMOS32はオン状態となり、誤差信号は、オン状態のNMOS32を介して、制御信号DOWN2のパルス幅に応じた所定の一定時間ディスチャージされ、チャージポンプ16からは、基準信号とフィードバック信号との間の位相差に応じたパルス幅を持つローレベルの誤差信号が出力される。

【0039】チャージポンプ16から出力される誤差信号はループフィルタ18に入力され、ループフィルタ18によって、そのフィルタ定数に対応するアナログ信号に変換され、所定の電圧レベルを有するコントロール信号が出力される。そして、ループフィルタ18から出力されるコントロール信号は、電圧制御発振器20に入力

され、電圧制御発振器20から出力される出力信号の発振周波数は、コントロール信号の電圧レベルに応じて変更される。

【0040】電圧制御発振器20から出力される出力信号は、ロジック回路22に入力され、ロジック回路22からは、電圧制御発振器20の出力信号に基づいて動作する所定周波数のフィードバック信号が出力される。

【0041】デッドロック検出回路24では、分周回路34によって基準信号が分周され、分周回路34の分周信号の立ち上がりによって、一旦、フリップフロップ40がハイレベルにセットされる。一方、遅延回路36およびENORゲート38によってフィードバック信号の遷移が検出され、遅延回路36の遅延時間に相当するパルス幅を有するローレベルのクリア信号が出力され、フリップフロップ40がローレベルにリセットされる。

【0042】その後、フリップフロップ40の出力信号が分周信号の立ち下がりでフリップフロップ42に保持されるため、検出信号はローレベルのままである。以後同様にして、基準信号と発振周波数の変更されたフィードバック信号とを繰り返し比較することにより、基準信号とフィードバック信号との周波数および位相が同期（ロック）される。本発明のPLL回路10は、基本的に、以上のように動作する。

【0043】次に、PLL回路10がデッドロック状態に陥った場合の動作について、図2に示されるタイミングチャートを参照しながら説明する。なお、図1に示すPLL回路10においては、分周回路34から出力される分周信号、フリップフロップ40の出力信号、ENORゲートから出力されるクリア信号およびフリップフロップ42から出力される検出信号を各々信号A, B, C, Dとし、これらの信号の動作を図2のタイミングチャートに示す。

【0044】上述するように、基準信号とフィードバック信号との周波数および位相が同期された後、何らかの理由により、PLL回路10がデッドロック状態に陥った場合、電圧制御発振器20は、コントロール信号の電圧レベルに係わらず発振が停止され、これに応じてフィードバック信号も発振が停止される。図2のタイミングチャートに示されるように、本実施例では、フィードバック信号がローレベルで停止するものとする。

【0045】基準信号が発振されたままの状態で、フィードバック信号の発振が停止してローレベルになると、位相比較器12では、基準信号の位相よりもフィードバック信号の位相の方が遅れていると判断され、制御信号DOWN1がローレベルに保持されつつ、制御信号UP1が、両者の位相差に応じた所定時間ローレベルとされる。従って、チャージポンプ16からはハイレベルの誤差信号が出力され、コントロール信号の電圧レベルはさらに上昇される。

【0046】デッドロック検出回路24においては、分

周回路34から出力される分周信号の立ち上がりによって、フリップフロップ40がハイレベルにセットされ、これに対して、遅延回路36およびE NORゲート38によってフィードバック信号の遷移が検出されず、クリア信号が出力されないため、フリップフロップ40の出力信号であるハイレベルが分周信号の立ち下がりでフリップフロップ42に保持され、検出信号がハイレベルとなる。

【0047】検出信号がハイレベルになると、制御信号制御回路14から出力される制御信号UP2, DOWN2は、制御信号UP1, DOWN1の状態に係わらず、いずれもハイレベルとされ、チャージポンプ16のPMOS30がオフ状態、かつ、NMOS32がオン状態とされる。従って、PMOS30によるチャージアップが停止され、かつ、NMOS32によってディスチャージされ、チャージポンプ16から出力される誤差信号がローレベルとされる。

【0048】チャージポンプ16から出力されるローレベルの誤差信号は、ループフィルタ18によってフィルタ定数に応じたアナログ信号に変換され、コントロール信号の電圧レベルが低下される。コントロール信号の電圧レベルが低下すると、電圧制御発振器20からは、これに応じた所定周波数の出力信号が出力され、ロジック回路22からは、電圧制御発振器20の出力信号に基づいて所定周波数のフィードバック信号が出力される。

【0049】フィードバック信号の動作が開始されると、位相比較器12において、基準信号とフィードバック信号との間の位相差が検出され、その検出結果である制御信号UP1, DOWN1が出力される。一方、デッドロック検出回路24では、遅延回路36およびE NORゲート38によってフィードバック信号の遷移が検出され、遅延回路36の遅延時間に相当するパルス幅を有するローレベルのクリア信号が出力され、フリップフロップ40がローレベルにリセットされる。

【0050】フリップフロップ40の出力信号は、分周信号の立ち下がりでフリップフロップ42に保持され、検出信号がローレベルとなる。検出信号がローレベルになると、制御信号制御回路14からは、制御信号UP2, DOWN2として制御信号UP1, DOWN1がそのままの状態で出力されるようになり、以後、基準信号とフィードバック信号とが繰り返し比較され、最終的に、基準信号と出力信号との周波数および位相が再び同期される。

【0051】このように、本発明のPLL回路10においては、デッドロック検出回路24によって、PLL回

路10がデッドロック状態に陥ったことが検出され、制御信号制御回路14によって、コントロール信号の電圧レベルが低下されるように制御信号UP2, DOWN2が制御されるため、PLL回路10がデッドロック状態に陥った場合であっても、自動的にPLL回路10を正常なロック状態に復帰させることができる。

【0052】以上、本発明のPLL回路について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0053】

【発明の効果】以上詳細に説明したように、本発明のPLL回路は、デッドロック状態に陥ったことを検出し、電圧制御発振器の出力信号の発振周波数を制御するコントロール信号の電圧レベルが低下するように、位相比較器から出力される制御信号を制御するようにしたものである。従って、本発明のPLL回路によれば、デッドロック状態に陥った場合であっても、これを自動的に検出してコントロール信号の電圧レベルを低下させ、PLL回路を正常なロック状態に復帰させることができるため、安定したPLL回路システムを構築することができる。

【図面の簡単な説明】

【図1】 本発明のPLL回路の一実施例の概念図である。

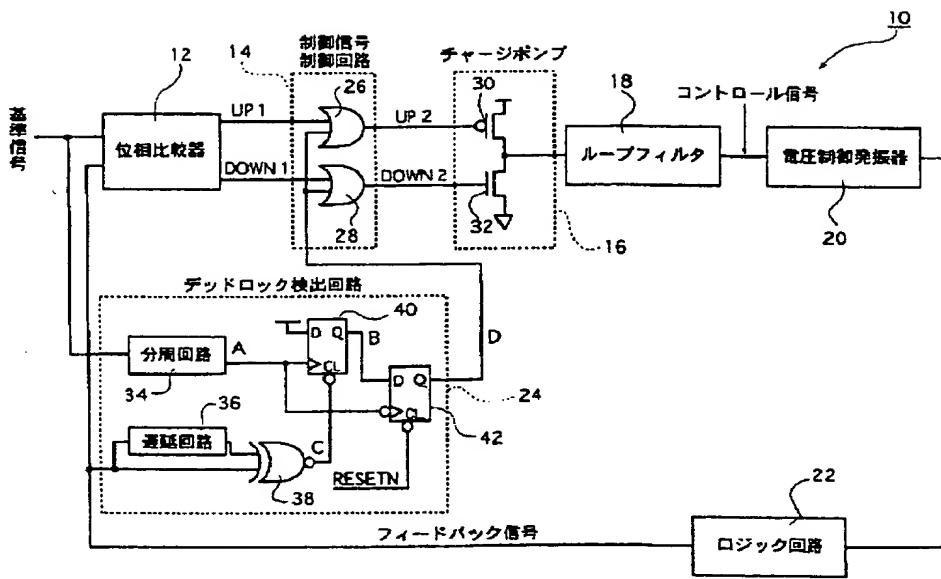
【図2】 本発明のPLL回路の動作を表す一実施例のタイミングチャートである。

【図3】 従来のPLL回路の一例の概念図である。

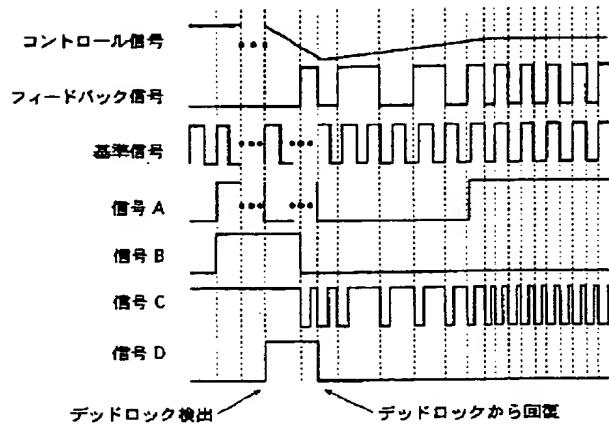
【符号の説明】

- 10, 44 PLL回路
- 12 位相比較器
- 14 制御信号制御回路
- 16 チャージポンプ
- 18 ループフィルタ
- 20 電圧制御発振器
- 22 ロジック回路
- 24 デッドロック検出回路
- 26, 28 NORゲート
- 30 P型MOSトランジスタ
- 32 N型MOSトランジスタ
- 34 分周回路
- 36 遅延回路
- 38 ENORゲート
- 40, 42 フリップフロップ

【図 1】



【図 2】



【図 3】

